

PATENT



Customer No.31561
Docket No.: 10957-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chia-Tien Peng et. al

Application No. : 10/604,858

Filed : August 22, 2003

For : LOW TEMPERATURE POLYSILICON THIN FILM
TRANSISTOR AND METHOD OF FORMING
POLYSILICON LAYER OF SAME

Examiner :

COMMISSIONER FOR PATENTS

2011 South Clark Place

Crystal Plaza Two, Lobby, Room 1B03

Arlington VA 22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:92107490,
filed on:04/02/2003.

A return prepaid postcard is also included herewith.

Respectfully Submitted,

JIANQ CHYUN Intellectual Property Office

Dated: Nov. 11, 2003

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

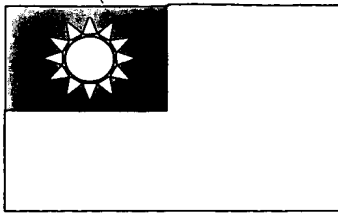
Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 02 日
Application Date

申請案號：092107490
Application No.

申請人：友達光電股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 10 日
Issue Date

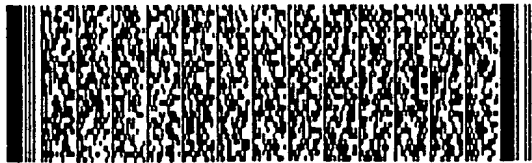
發文字號：09220917450
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	低溫多晶矽薄膜電晶體及其多晶矽層的製造方法
	英 文	Low temperature poly silicon thin film transistor and method of forming poly silicon lyaer of the same
二、 發明人 (共2人)	姓 名 (中文)	1. 彭佳添 2. 吳煥照
	姓 名 (英文)	1. Chia-Tien Peng 2. Wu Huan-Chao
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 新竹縣竹北市白地街239巷9弄10號 2. 新竹縣竹北市牛埔路500號
	住居所 (英 文)	1. No. 10, Alley 9, Lane 239, Paiti St., Chupei City, Hsinchu Hsien, Taiwan, R.O.C. 2. No. 500, Nioupu Rd., Chiupei, Hsinchu Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 友達光電股份有限公司
	名稱或 姓 名 (英文)	1. Au Optronics Corporation
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. Kun-Yao Lee



四、中文發明摘要 (發明名稱：低溫多晶矽薄膜電晶體及其多晶矽層的製造方法)

一種低溫多晶矽薄膜電晶體及其多晶矽層的製造方法，係先於一面板上形成一非晶矽層，面板包括一顯示區與一周邊電路區。然後，於周邊電路區之部分非晶矽層上形成一金屬層，再進行一結晶製程，以使周邊電路區之非晶矽層成為一多晶矽層。隨後，進行一準分子雷射退火製程，以使周邊電路區之多晶矽層的晶粒變大，且使顯示區之非晶矽層成為多晶矽層。由於在周邊電路區的多晶矽層之晶粒較其他部位的大，所以可符合高電子遷移率的需求。而顯示區則為晶粒較小的多晶矽，可符合低漏電流的需求。

伍、(一)、本案代表圖為：第____1B____圖

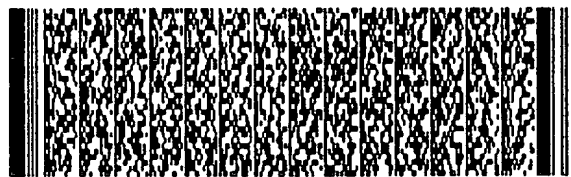
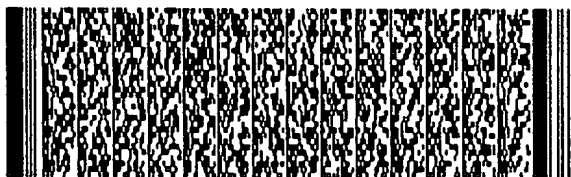
(二)、本案代表圖之元件代表符號簡單說明：

10：周邊電路區

12：顯示區

陸、英文發明摘要 (發明名稱：Low temperature poly silicon thin film transistor and method of forming poly silicon layer of the same)

A low temperature poly silicon (LTPS) thin film transistor (TFT) and method of forming poly silicon layer of the same are provided. An amorphous silicon layer is formed on a panel, wherein the panel comprises a display region and a peripheral circuit region. A metal layer is then formed on portion of the amorphous silicon layer of the peripheral circuit region. A crystallization process



四、中文發明摘要 (發明名稱：低溫多晶矽薄膜電晶體及其多晶矽層的製造方法)

100 : 面板
102 : 緩衝層
104 : 非晶矽層
104a : 多晶矽層
106 : 罩幕層
110 : 金屬層
120 : 結晶製程

陸、英文發明摘要 (發明名稱：Low temperature poly silicon thin film transistor and method of forming poly silicon layer of the same)

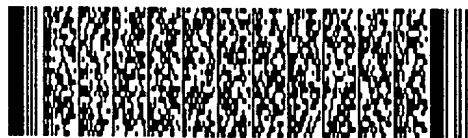
is performed to make the amorphous silicon layer become a poly silicon layer in the peripheral circuit region. An excimer laser annealing is then performed to make grain size of the poly silicon layer bigger in the peripheral circuit region and make the amorphous silicon layer become a poly silicon layer in the display region. Since the grain size of the poly silicon layer in the peripheral



四、中文發明摘要 (發明名稱：低溫多晶矽薄膜電晶體及其多晶矽層的製造方法)

陸、英文發明摘要 (發明名稱：Low temperature poly silicon thin film transistor and method of forming poly silicon layer of the same)

circuit region is bigger than that in the display region, it can conform to the need for high electron mobility in the peripheral circuit region and low leakage current in the display region.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明是有關於一種低溫多晶矽(low temperature poly-Si, 簡稱LTPS)薄膜電晶體(thin film transistor, 簡稱TFT)的製作方法, 且特別是關於一種低溫多晶矽薄膜電晶體中多晶矽層的製作方法。

先前技術

隨著高科技之發展, 視訊產品, 特別是數位化之視訊或影像裝置已經成為在一般日常生活中所常見的產品。這些數位化之視訊或影像裝置中, 顯示器是一個重要元件, 以顯示相關資訊。使用者可由顯示器讀取資訊, 或進而控制裝置的運作。

而薄膜電晶體(TFT)可應用於液晶顯示器(liquid crystal display, 簡稱LCD)之驅動元件, 使得此項產品成為桌上直式型平面顯示器之主流, 於個人電腦, 遊樂器, 監視器等市場成為未來主導性產品。目前, 因非晶矽(amorphous silicon, 又稱a-Si)薄膜電晶體, 可於攝氏200-300度的低溫生長, 因此被廣泛使用。但非晶矽之電子遷移率(electron mobility)低, 不超過 $1\text{cm}^2/\text{V}\cdot\text{s}$, 使得非晶矽薄膜電晶體已不敷目前高速元件應用之需求, 而多晶矽(polycrystalline silicon, 又稱poly-Si)薄膜電晶體相較於非晶矽薄膜電晶體有較高之遷移率(約比非晶矽高2-3個數量級)及低溫敏感性(low temperature sensitivity), 使其更適用於高速元件。然而, 以傳統方式退火非晶矽形成多晶矽時, 其形成溫度需攝氏600度以

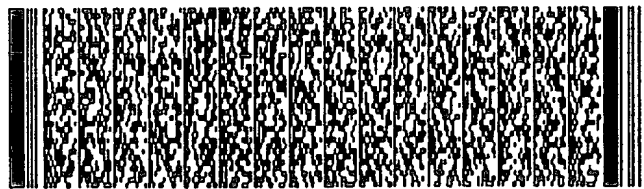
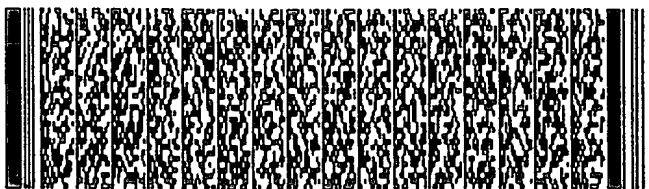


五、發明說明 (2)

上，故一般使用石英(quartz)作為基板。由於石英基板成本比玻璃基板貴上許多，且在基板尺寸的限制下，面板大約僅有2至3吋，因此過去只能發展小型面板。

目前為了降低成本必須使用玻璃基板，故須使多晶矽之形成溫度降低至攝氏500度以下。因此，許多降低多晶矽之形成溫度的方法紛紛被採用，其中以準分子雷射退火製程(excimer laser annealing，簡稱ELA)及金屬誘導結晶製程(metal induced crystallization，簡稱MIC)較受矚目，因為前述製程均可生長高品質、無污染及低缺陷密度(low defect density)之多晶矽，以前述低溫製程製作的多晶矽薄膜電晶體又稱為「低溫多晶矽薄膜電晶體」。再者，由於多晶矽本身的電子遷移率高，所以通常在進行薄膜電晶體陣列的製程時，可以一併於顯示區外圍之周邊電路區製作周邊電路。

而金屬誘導結晶製程的結晶方式是以側向生長(lateral growth)為主，其係於非晶矽層形成前或形成後，形成一金屬層，用以促進非晶矽層的結晶，並於金屬層形成後進行低溫退火製程，以形成多晶矽。而金屬誘導結晶製程中使用的金屬層不但可促進非晶矽結晶，更重要的是為了要形成金屬矽化物。而主要方式是控制其橫向成長方向與源極-通道-汲極延伸方向之間的關係，若兩方向垂直則適用於畫素區，若兩方向平行則適用於周邊電路(peripheral circuit)區。但是，金屬誘導結晶製程的缺點在於所長成的多晶矽層缺陷(defect)太多，需要再加一



五、發明說明 (3)

道高溫後製程，如快速熱製程(rapid thermal process)或雷射退火製程，所以目前多以準分子雷射退火製程為主。

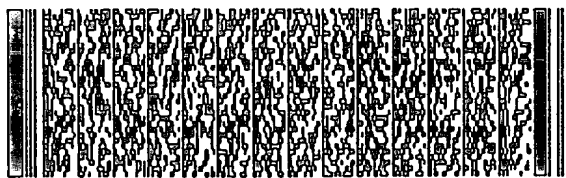
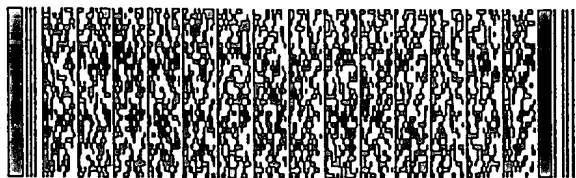
但是，以習知的主動矩陣液晶顯示器為例，其周邊電路中之低溫多晶矽薄膜電晶體需具有較高的電子遷移率和開啟狀態的電流(on-state current)；顯示區(pixel area)則須具備低漏電流的要求；而目前以準分子雷射退火製程所形成的多晶矽無法同時符合此二要求。

發明內容

因此，本發明之目的是提供一種低溫多晶矽薄膜電晶體及其多晶矽層的製造方法，以同時於周邊電路區形成大晶粒多晶矽層以及於顯示區形成小晶粒多晶矽層。

根據上述與其它目的，本發明提出一種多晶矽層的製造方法，包括先於一面板上形成一非晶矽層，面板包括一顯示區與一周邊電路區。然後，於周邊電路區之部分非晶矽層上形成一金屬層，再進行一結晶製程，以使周邊電路區之非晶矽層成為一多晶矽層。隨後，進行一準分子雷射退火製程，以使周邊電路區之多晶矽層成為較大晶粒之多晶矽層以及使顯示區之非晶矽層成為一多晶矽層，其中周邊電路區之多晶矽層的晶粒大於顯示區之多晶矽層的晶粒。

本發明另外提出一種低溫多晶矽薄膜電晶體的製造方法，適於形成在一面板上，其中該面板包括一顯示區與一周邊電路區，其步驟包括於面板上先形成一非晶矽層。然



五、發明說明 (4)

後，利用一金屬誘導結晶製程，以使周邊電路區的非晶矽層成為一多晶矽層，再將罩幕層去除。之後，進行一準分子雷射退火製程，以使周邊電路區的多晶矽層成為具有較大晶粒的多晶矽層以及使顯示區的非晶矽層成為多晶矽層。接著，圖案化大晶粒多晶矽層，以形成數個島狀多晶矽層，再於每一島狀多晶矽層中分別形成一通道區及位於通道區兩側的源極/汲極摻雜區，再於通道區上形成一閘極。

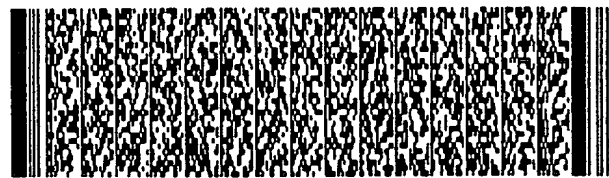
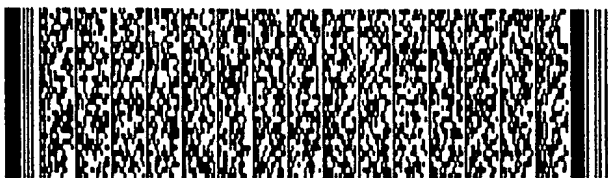
由於本發明將選擇性金屬誘導結晶製程與後準分子雷射退火製程(post ELA)應用於周邊電路區的多晶矽製作，且將後準分子雷射退火製程應用於顯示區的多晶矽製作，所以可同時於周邊電路區形成大晶粒多晶矽層以及於顯示區形成小晶粒多晶矽層，進而得到特性佳的顯示面板。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

本發明可應用於低溫多晶矽(low temperature poly-Si，簡稱LTPS)薄膜電晶體(thin film transistor，簡稱TFT)，請先參考第1A圖至第1D圖，其係依照本發明之一較佳實施例之低溫多晶矽薄膜電晶體的多晶矽層的製造流程剖面圖。

請參照第1A圖，於一面板100上先選擇性地形成一緩衝層(buffer layer)102，其中緩衝層102例如是一氮化矽

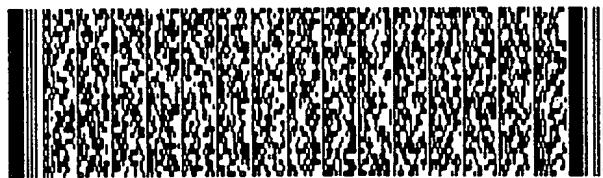
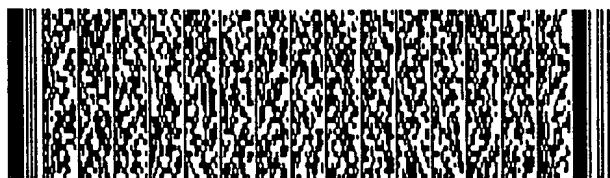


五、發明說明 (5)

層以及一氧化矽層所組成的堆疊層，其作用在於增進面板100與後續形成之多晶矽層的附著性以及當面板100中有鈉等金屬離子時，用以防止面板100中的金屬離子污染多晶矽層。然後，於緩衝層102上形成一非晶矽(amorphous silicon，又稱a-Si)層104，且面板100包括一周邊電路區(peripheral circuit region)10與一顯示區(display region)12。然後利用金屬誘導結晶製程(metal-induced crystallization，簡稱MIC)，以使周邊電路區10之非晶矽層104成為一多晶矽(poly silicon，又稱poly-Si)層，其詳細步驟譬如是在非晶矽層104上形成一罩幕層(mask layer)106，其具有一開口108，以暴露出周邊電路區10之部分非晶矽層104。接著，於開口108中所暴露出的非晶矽層104上形成一金屬層110，其中金屬層110例如是鎳層。

隨後，請參照第1B圖，進行一結晶製程120，以使周邊電路區10之非晶矽層104成為一多晶矽層104a，其中結晶製程120譬如是在固相結晶製程(solid phase crystallization)。而周邊電路區10之非晶矽層104會從接近金屬層110的部分開始結晶成為多晶質的膜層。

接著，請參照第1C圖，等到周邊電路區10之非晶矽層104完全成為多晶矽層104a後，再去除罩幕層106。由於顯示區12的非晶矽層104在進行前述金屬誘導結晶製程時沒有任何金屬作為誘導物，且有罩幕層106遮蔽著，所以顯示區12的非晶矽層104仍舊維持非晶質的結構(amorphous structure)。



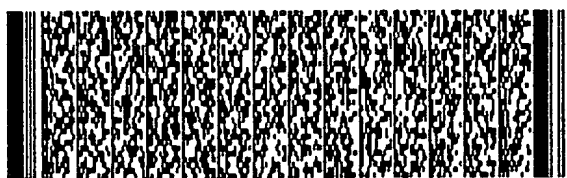
五、發明說明 (6)

之後，請參照第1D圖，進行一準分子雷射退火製程 (excimer laser annealing，簡稱ELA)，以使周邊電路區10之多晶矽層104a成為較大晶粒與缺陷較少的多晶矽層104b以及使顯示區12之非晶矽層104成為多晶矽層104a，其中多晶矽層104b的晶粒較多晶矽層104a的晶粒大。而以下的第2A圖至第2H圖是繪示於第1D圖之周邊電路區10中製作低溫多晶矽薄膜電晶體的後續製程。

第2A圖至第2H圖係於第1D圖之周邊電路區中製作本發明之一較佳實施例的低溫多晶矽薄膜電晶體的製造流程剖面圖。請參照第2A圖，圖案化大晶粒多晶矽層104a(請見第1D圖)，以形成數個島狀多晶矽層200a、200b，其中島狀多晶矽層200a譬如預形成P型薄膜電晶體的一部份，而島狀多晶矽層200b譬如預形成N型薄膜電晶體的一部份，且於之後描述同時形成P型與N型薄膜電晶體的製程。但是，本發明並非侷限於同時製作P型與N型薄膜電晶體的製造流程，而僅是以本實施例當作說明本發明特徵的一個例子。

之後，請參照第2B圖，進行一通道摻雜製程(channel doping)202，以於各島狀多晶矽層200a、200b中形成摻雜區。

然後，請參照第2C圖，於面板100上形成一圖案化光阻層206，以覆蓋島狀多晶矽層200a以及部分島狀多晶矽層200b，並暴露出島狀多晶矽層200b兩側上表面。之後，進行一 n^+ 摻雜製程208，以於島狀多晶矽層200b兩側形成N



五、發明說明 (7)

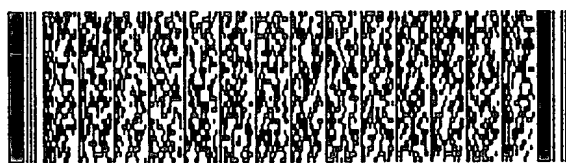
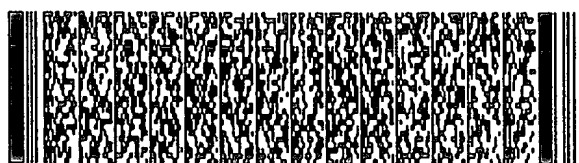
型薄膜電晶體的源極/汲極摻雜區210。

接著，請參照第2D圖，去除圖案化光阻層206，再於島狀多晶矽層200a、200b及緩衝層102上覆蓋一閘極絕緣層212。然後，於閘極絕緣層212上形成另一圖案化光阻層214，以覆蓋島狀多晶矽層200a以及部分島狀多晶矽層200b，並暴露出島狀多晶矽層200b中鄰近源極/汲極摻雜區210的部位。隨後，進行一 n^- 摻雜製程216，以形成N型薄膜電晶體的淺摻雜汲極區域218，同時定義出位於淺摻雜汲極區域218之間的通道區204b。

然後，請參照第2E圖，去除圖案化光阻層214，再於閘極絕緣層212上形成另一圖案化光阻層220，以覆蓋島狀多晶矽層200b以及部分島狀多晶矽層200a，並暴露出島狀多晶矽層200b兩側上表面的部位。隨後，進行一 p^+ 摻雜製程222，以形成P型薄膜電晶體的源極/汲極摻雜區224，同時定義出位於源極/汲極摻雜區224之間的通道區204a。

之後，請參照第2F圖，去除圖案化光阻層220，再於通道區204a與204b上形成閘極226a與226b。然後，於面板100上形成一層間介電層(inter-layer dielectric，簡稱ILD)228，以覆蓋島狀多晶矽層200a、200b與閘極226a、226b。

接著，請參照第2G圖，於層間介電層228與閘極絕緣層212中形成數個開口230，以暴露出源極/汲極摻雜區210與224，再形成數個源極/汲極接觸金屬232，源極/汲極接觸金屬232係藉由開口230而與源極/汲極摻雜區210與224



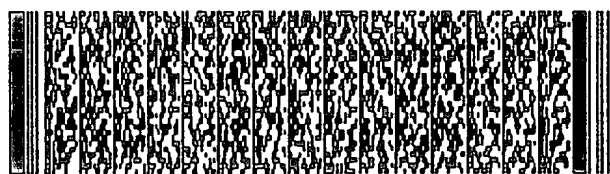
五、發明說明 (8)

電性連接。

之後，請參照第2H圖，於面板100上形成一保護層234，再於保護層234中形成另一開口236，以暴露出部分源極/汲極接觸金屬232，其中保護層234例如氮化矽層。最後，形成一畫素電極238，畫素電極238係藉由開口236而與部分源極/汲極接觸金屬232電性相連，其中畫素電極238譬如銦錫氧化物(ITO)。由於本實施例之島狀多晶矽層200a與200b是大晶粒的多晶矽層，所以可符合周邊電路區之低溫多晶矽薄膜電晶體需具有較高的電子遷移率(electron mobility)和較高開啟狀態的電流(on-state current)的要求。

本發明之特點在於將選擇性金屬誘導結晶製程與後準分子雷射退火製程(post ELA)應用於周邊電路區的多晶矽製作，並且將後準分子雷射退火製程應用於顯示區的多晶矽製作，因此本發明可同時於周邊電路區形成大晶粒的多晶矽層以及於顯示區形成小晶粒的多晶矽層，進而得到特性佳的顯示面板。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖至第1D圖係依照本發明之一較佳實施例之低溫多晶矽薄膜電晶體的多晶矽層的製造流程剖面圖；以及

第2A圖至第2H圖係於第1D圖之周邊電路區中製作本發明之一較佳實施例的低溫多晶矽薄膜電晶體的製造流程剖面圖。

圖式標示說明

- 10：周邊電路區
- 12：顯示區
- 100：面板
- 102：緩衝層
- 104：非晶矽層
- 104a、104b：多晶矽層
- 106：罩幕層
- 108、230、236：開口
- 110：金屬層
- 120：結晶製程
- 200a、200b：島狀多晶矽層
- 202、208、216、222：摻雜製程
- 204a、204b：通道區
- 206、214、220：圖案化光阻層
- 210、224：源極/汲極摻雜區
- 212：閘極絕緣層
- 218：淺摻雜汲極區域



圖式簡單說明

226a、226b：閘極

228：層間介電層

232：源極/汲極接觸金屬

234：保護層

238：畫素電極



六、申請專利範圍

1. 一種多晶矽層的製造方法，該方法包括：

於一面板上形成一非晶矽層，其中該面板包括一顯示區與一周邊電路區；

於該周邊電路區之部分該非晶矽層上形成一金屬層；

進行一結晶製程，以使該周邊電路區之該非晶矽層成為一第一多晶矽層；以及

進行一準分子雷射退火製程，以使該周邊電路區之該第一多晶矽層成為一第二多晶矽層以及使該顯示區之該非晶矽層成為一第三多晶矽層，其中該第二多晶矽層之晶粒大於該第二多晶矽層以及該第三多晶矽層之晶粒。

2. 如申請專利範圍第1項所述之方法，其中於該周邊電路區之部分該非晶矽層上形成該金屬層之步驟，包括：

於該非晶矽層上形成一罩幕層，該罩幕層具有一開口，以暴露出該周邊電路區之部分該非晶矽層；以及

於該開口中所暴露出的該非晶矽層上形成該金屬層。

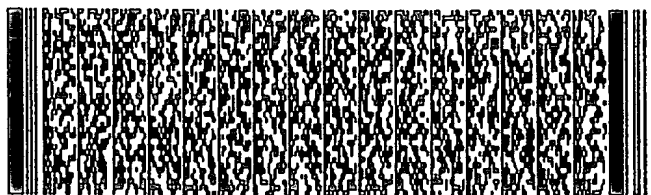
3. 如申請專利範圍第2項所述之方法，其中進行該結晶製程之後，更包括去除該罩幕層。

4. 如申請專利範圍第2項所述之方法，其中該罩幕層包括氧化矽層。

5. 如申請專利範圍第1項所述之方法，其中該金屬層包括鎳層。

6. 如申請專利範圍第1項所述之方法，其中該結晶製程包括固相結晶製程。

7. 如申請專利範圍第1項所述之方法，其中於該面板



六、申請專利範圍

上形成該非晶矽層之前，更包括於該面板上形成一緩衝層，其中該緩衝層包括一氮化矽層以及一氧化矽層所組成的堆疊層。

8. 一種低溫多晶矽薄膜電晶體的製造方法，該方法包括：

於一面板上形成一非晶矽層，其中該面板包括一顯示區與一周邊電路區；

利用一金屬誘導結晶製程，以使該周邊電路區之該非晶矽層成為一第一多晶矽層；

進行一準分子雷射退火製程，以使該周邊電路區之該第一多晶矽層成為一第二多晶矽層以及使該顯示區之該非晶矽層成為一第三多晶矽層，其中該第二多晶矽層之晶粒大於該第二多晶矽層以及該第三多晶矽層之晶粒；

圖案化該第二多晶矽層，以形成複數個島狀多晶矽層；

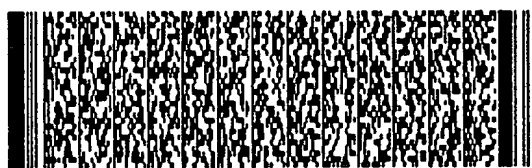
於每一該些島狀多晶矽層中分別形成一通道區與一位於該通道區兩側之源極/汲極摻雜區；以及

於該通道區上形成一閘極。

9. 如申請專利範圍第8項所述之方法，其中利用該金屬誘導結晶製程之步驟，包括：

於該非晶矽層上形成一罩幕層，該罩幕層具有一開口，以暴露出該周邊電路區之部分該非晶矽層；

於該開口中所暴露出的該非晶矽層上形成一金屬層；以及



六、申請專利範圍

進行一結晶製程。

10. 如申請專利範圍第9項所述之方法，其中進行該結晶製程之後，更包括去除該罩幕層。

11. 如申請專利範圍第9項所述之方法，其中該結晶製程包括固相結晶製程。

12. 如申請專利範圍第9項所述之方法，其中該罩幕層包括氧化矽層。

13. 如申請專利範圍第8項所述之方法，其中該金屬層包括鎳層。

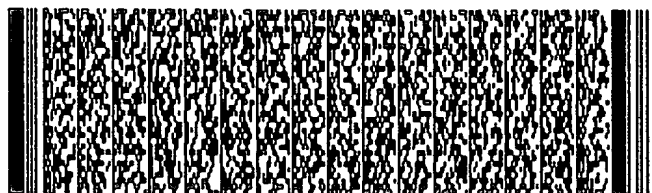
14. 如申請專利範圍第8項所述之方法，其中於該面板上形成該非晶矽層之前，更包括於該面板上形成一緩衝層，其中該緩衝層包括一氮化矽層以及一氧化矽層所組成的堆疊層。

15. 如申請專利範圍第8項所述之方法，其中圖案化該第二多晶矽層之後，更包括進行一摻雜製程。

16. 如申請專利範圍第11項所述之方法，其中進行該摻雜製程之後與於每一該些島狀多晶矽層中分別形成該通道區與該位於該通道區兩側之源極/汲極摻雜區之前，更包括於該些島狀多晶矽層以及該緩衝層上覆蓋一閘極絕緣層。

17. 如申請專利範圍第16項所述之方法，其中於每一該些島狀多晶矽層中分別形成該通道區與該位於該通道區兩側之源極/汲極摻雜區之步驟，包括：

於該閘極絕緣層上形成一第一圖案化光阻層，以暴露



六、申請專利範圍

出每一該些島狀多晶矽層兩側上表面的部位；以及
進行一 p^+ 摻雜製程。

18. 如申請專利範圍第17項所述之方法，其中進行該 p^+ 摻雜製程之後，更包括去除該第一圖案化光阻層。

19. 如申請專利範圍第8項所述之方法，其中於每一該些島狀多晶矽層中分別形成該通道區與該位於該通道區兩側之源極/汲極摻雜區之步驟，包括：

於該面板上形成一第二圖案化光阻層，以覆蓋部分每一該些島狀多晶矽層，並暴露出每一該些島狀多晶矽層兩側上表面；以及

進行一 n^+ 摻雜製程。

20. 如申請專利範圍第19項所述之方法，其中進行該 n^+ 摻雜製程之後，更包括去除該第二圖案化光阻層。

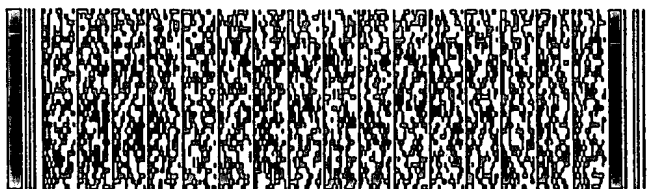
21. 如申請專利範圍第20項所述之方法，其中於每一該些島狀多晶矽層中分別形成該通道區與該位於該通道區兩側之源極/汲極摻雜區之後，更包括於該些島狀多晶矽層以及該緩衝層上覆蓋一閘極絕緣層。

22. 如申請專利範圍第21項所述之方法，其中於該些島狀多晶矽層上覆蓋該閘極絕緣層之後，更包括：

於該閘極絕緣層上形成一第三圖案化光阻層，以暴露出每一該些島狀多晶矽層中鄰近該些源極/汲極摻雜區的部位；以及

進行一 n^- 摻雜製程。

23. 如申請專利範圍第22項所述之方法，其中進行該



六、申請專利範圍

n- 摻雜製程之後，更包括去除該第三圖案化光阻層。

24. 如申請專利範圍第8項所述之方法，更包括：

於該面板上形成一層間介電層；

於該層間介電層與該閘極絕緣層中形成複數個第一開口，以暴露出該些源極/汲極摻雜區；以及

形成複數個源極/汲極接觸金屬，該些源極/汲極接觸金屬係藉由該些第一開口而與該些源極/汲極摻雜區電性相連。

25. 如申請專利範圍第24項所述之方法，更包括：

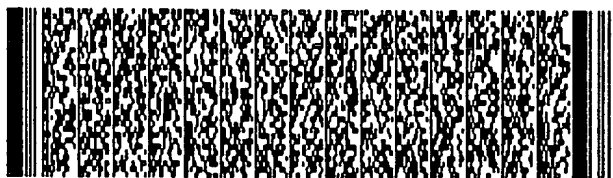
於該面板上形成一保護層；以及

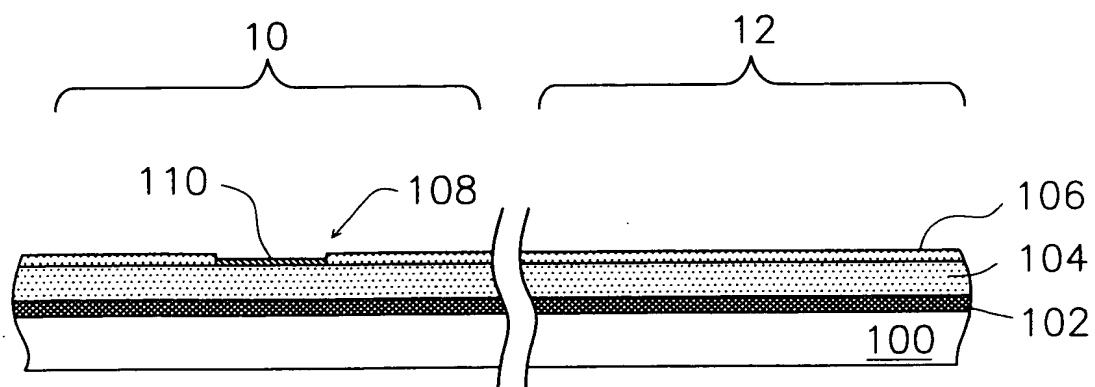
於該保護層中形成一第二開口，以暴露出部分該些源極/汲極接觸金屬；以及

形成一畫素電極，該畫素電極係藉由該第二開口而與部分該些源極/汲極接觸金屬電性相連。

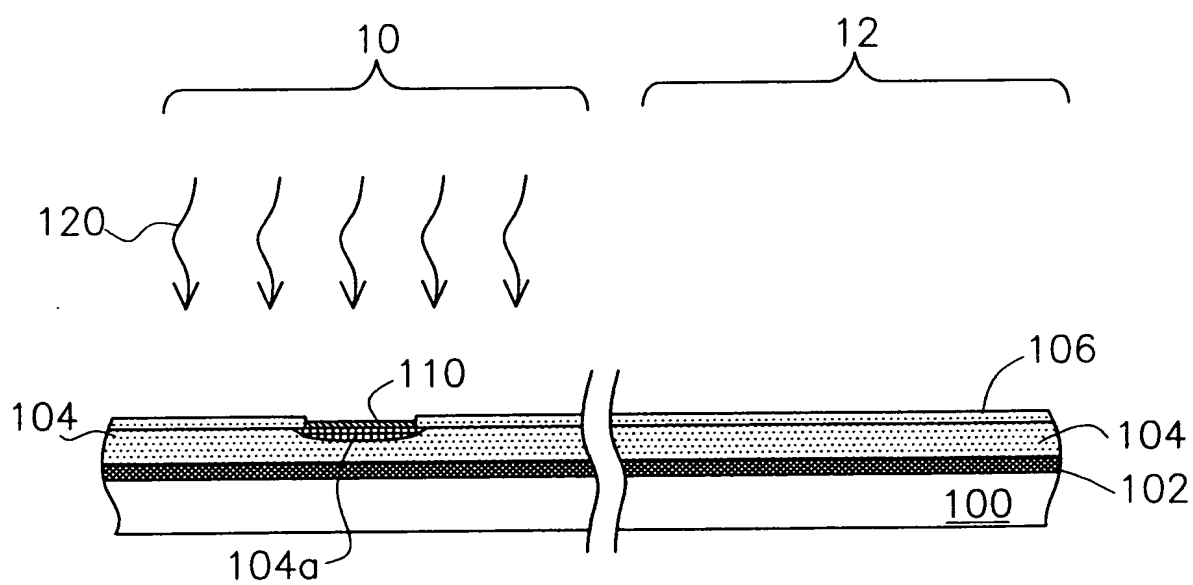
26. 如申請專利範圍第25項所述之方法，其中該畫素電極包括銦錫氧化物。

27. 如申請專利範圍第25項所述之方法，其中該保護層包括氮化矽層。

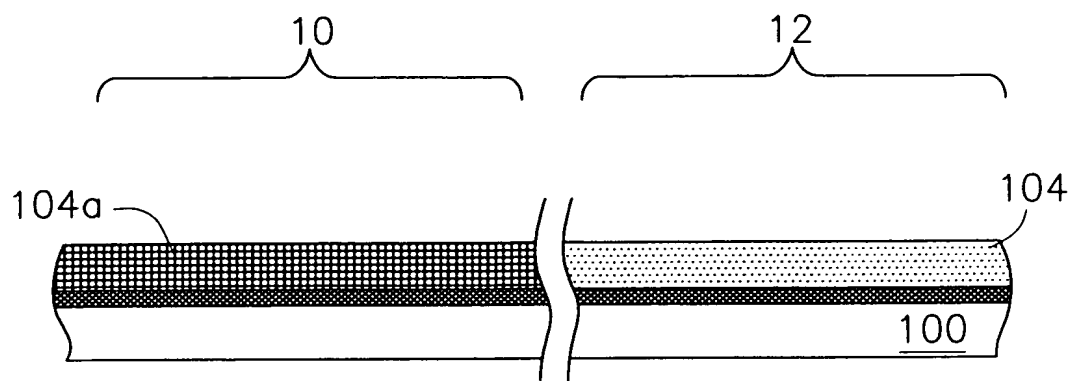




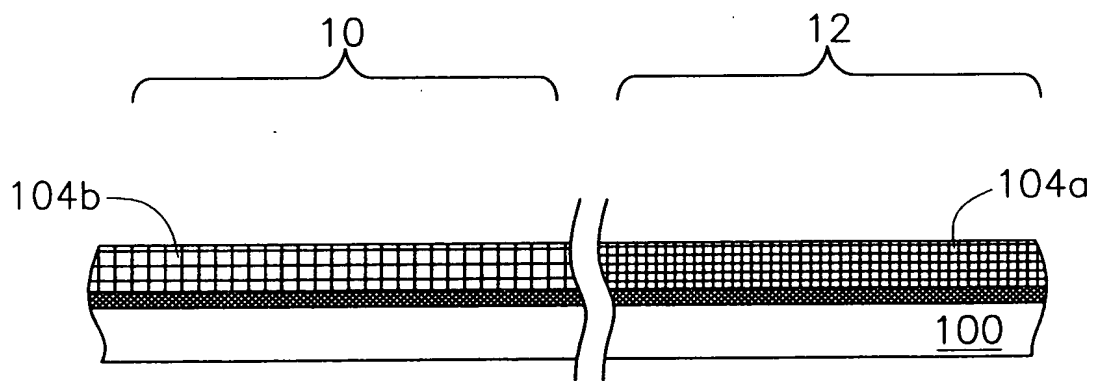
第 1A 圖



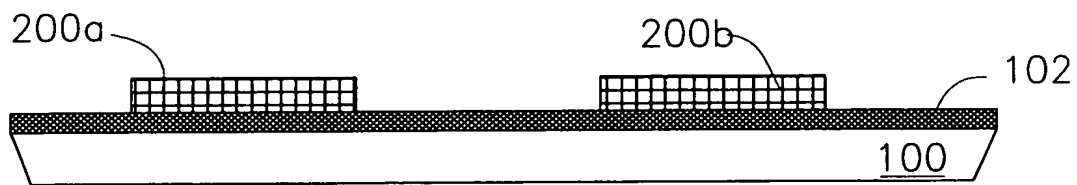
第 1B 圖



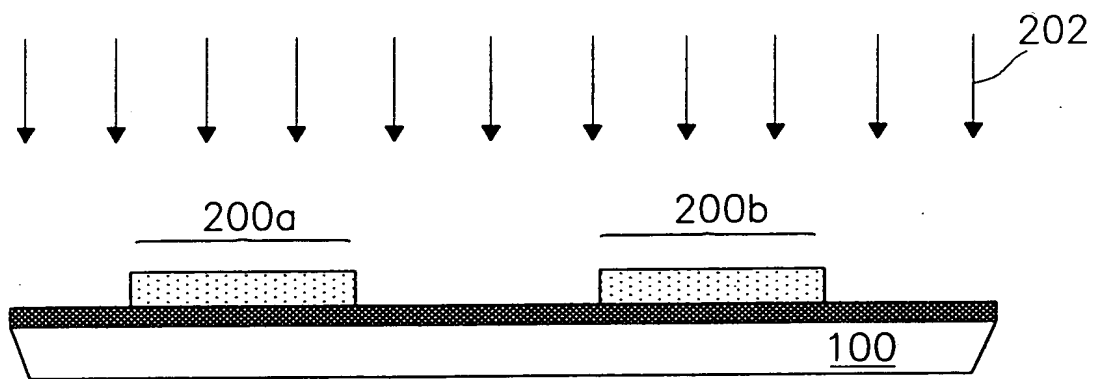
第 1C 圖



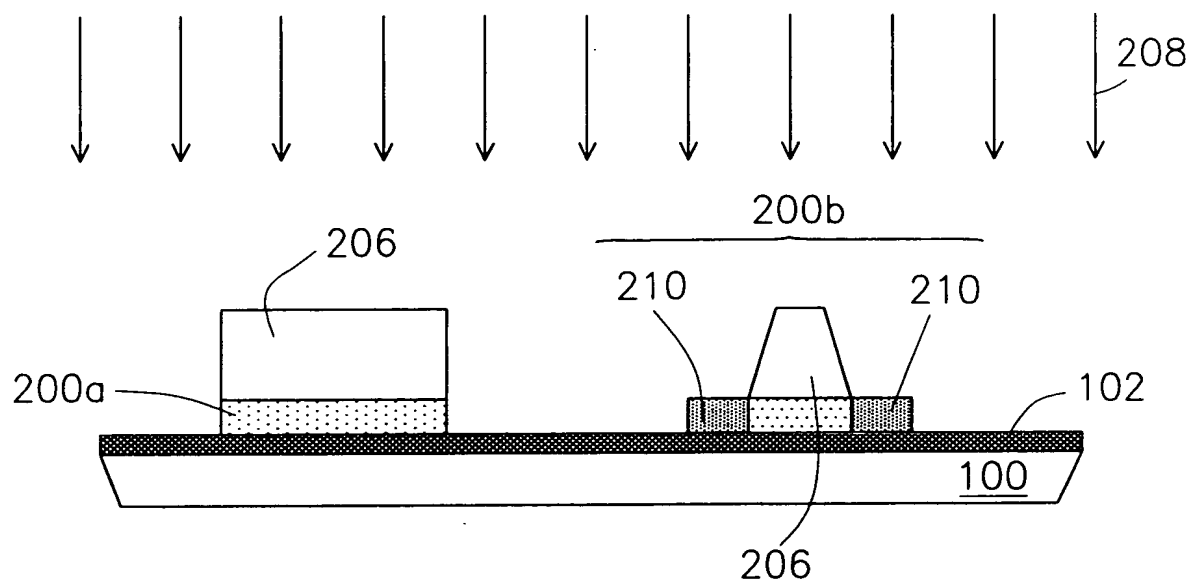
第 1D 圖



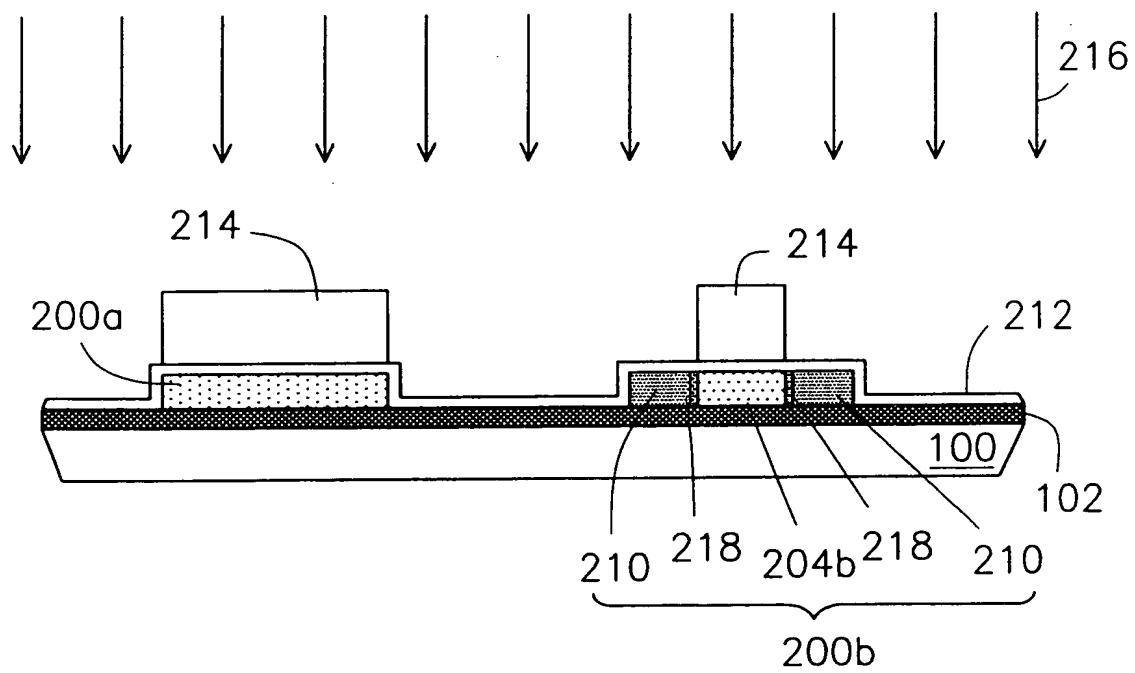
第 2A 圖



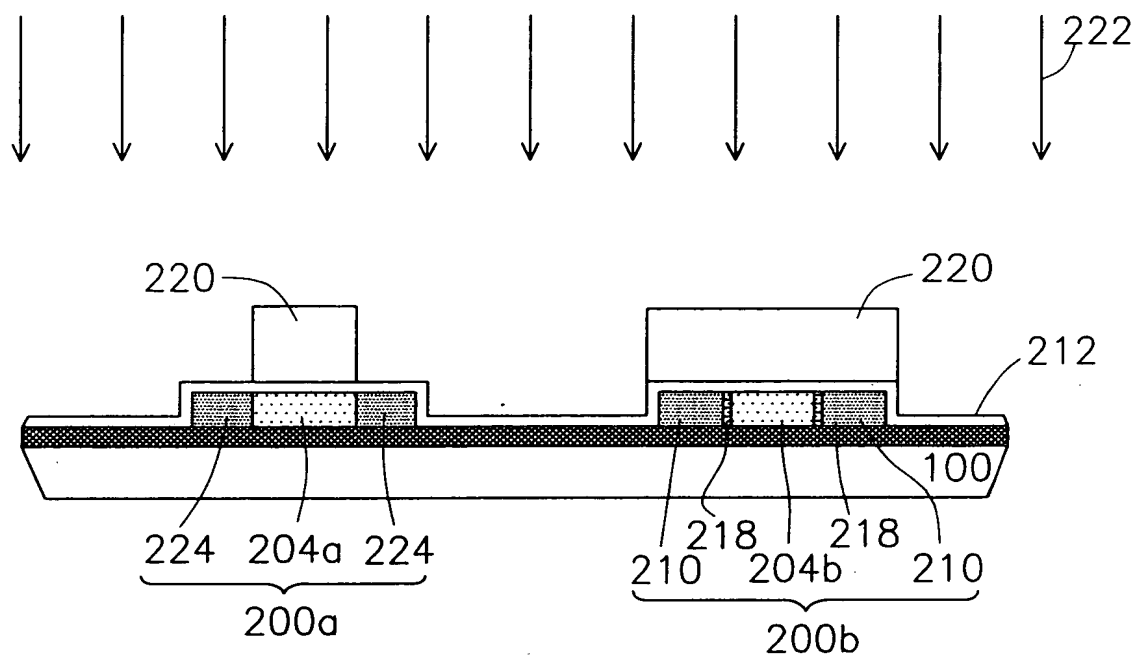
第 2B 圖



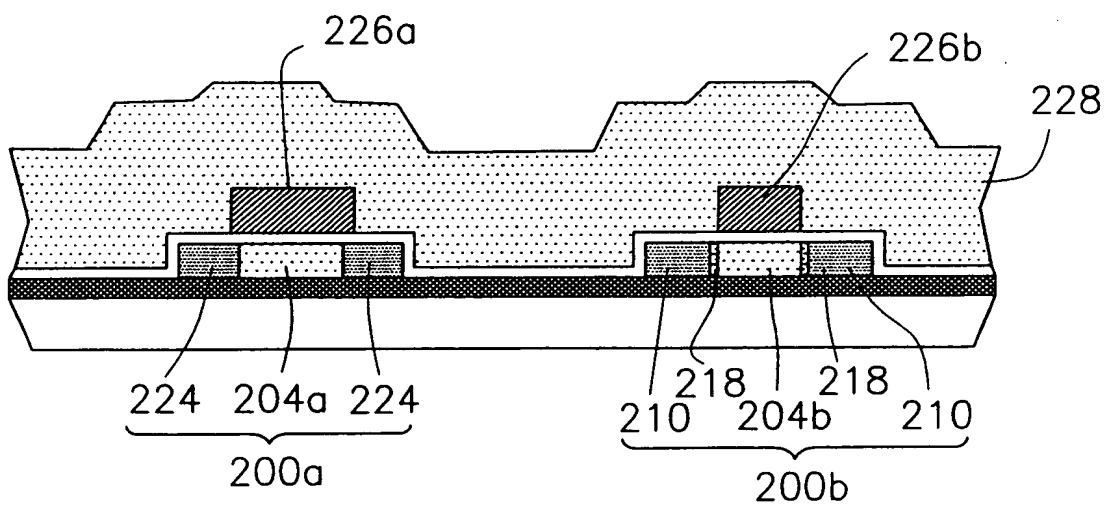
第 2C 圖



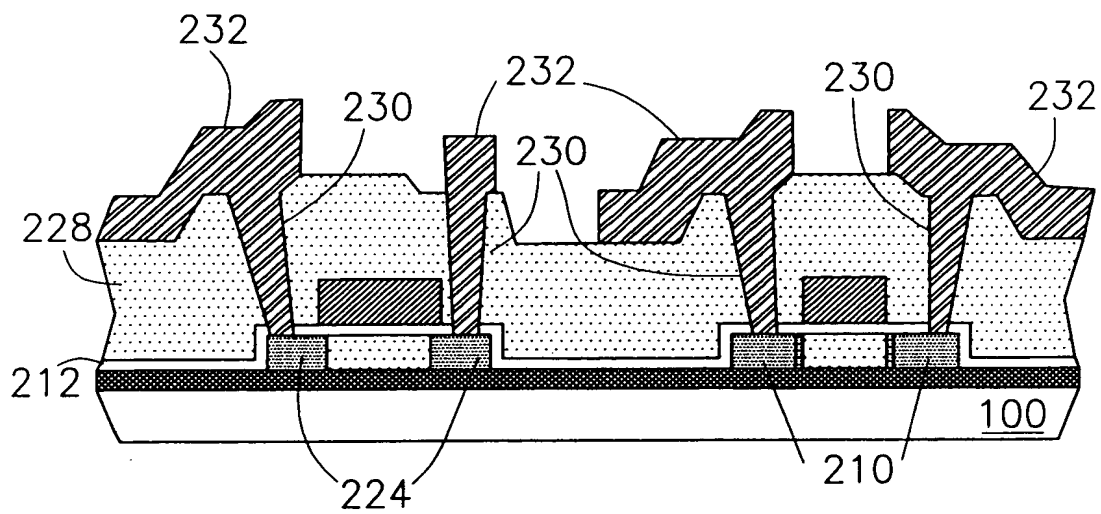
第 2D 圖



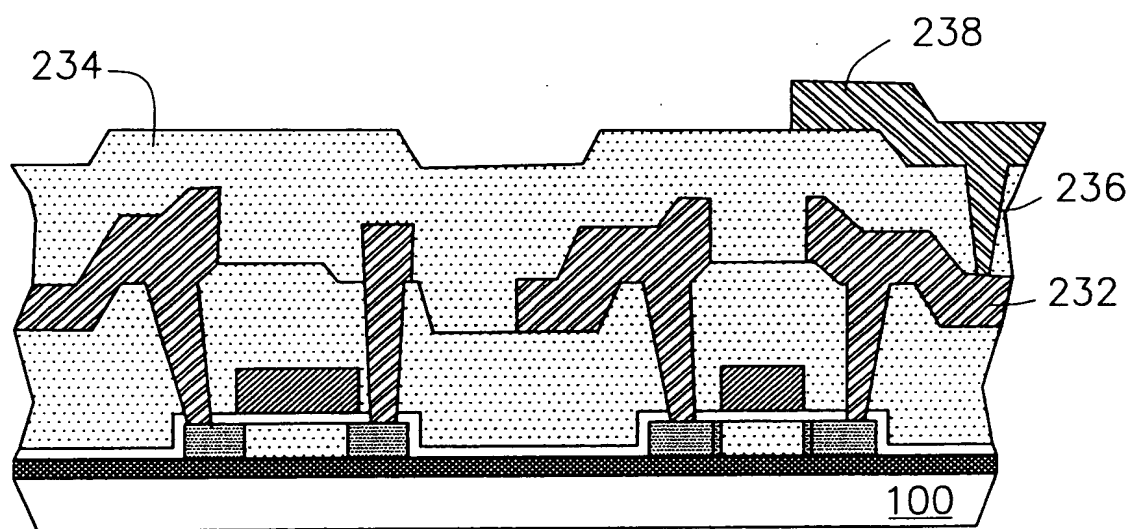
第 2E 圖



第 2F 圖



第 2G 圖

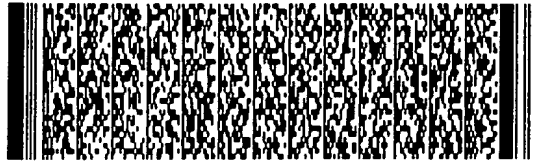


第 2H 圖

第 1/20 頁



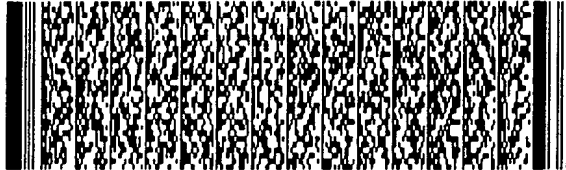
第 1/20 頁



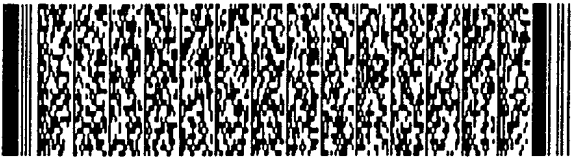
第 2/20 頁



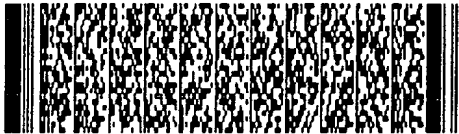
第 2/20 頁



第 3/20 頁



第 4/20 頁



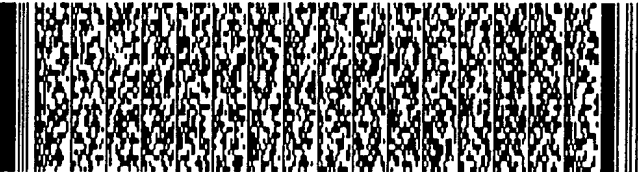
第 5/20 頁



第 6/20 頁



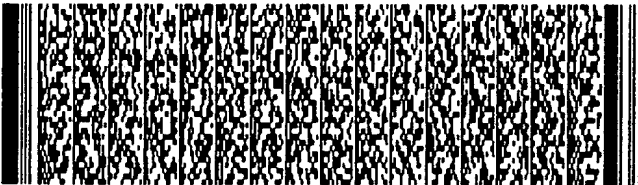
第 6/20 頁



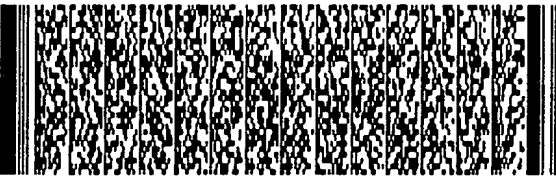
第 7/20 頁



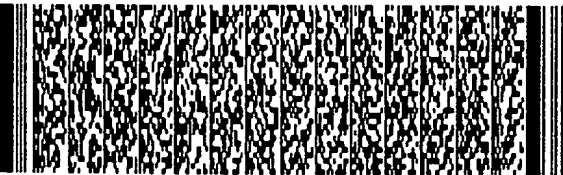
第 7/20 頁



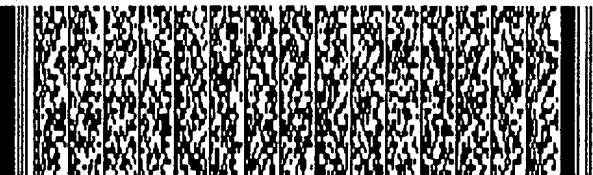
第 8/20 頁



第 8/20 頁



第 9/20 頁



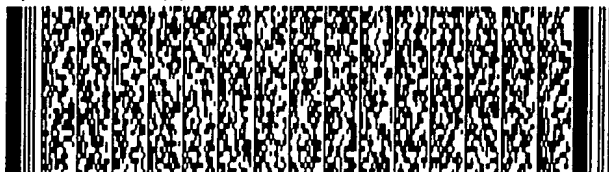
第 9/20 頁



第 10/20 頁



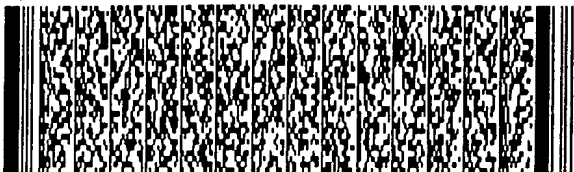
第 10/20 頁



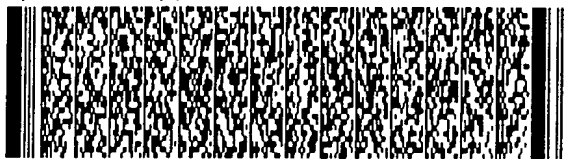
第 11/20 頁



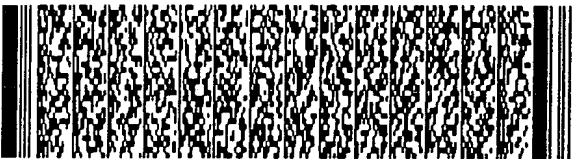
第 11/20 頁



第 12/20 頁



第 12/20 頁



第 13/20 頁



第 13/20 頁



第 14/20 頁



第 15/20 頁



第 16/20 頁



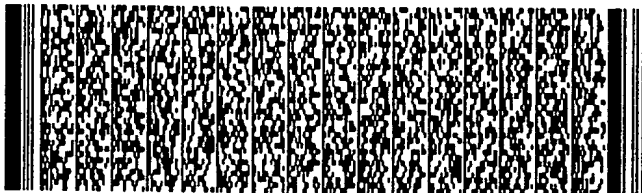
第 17/20 頁



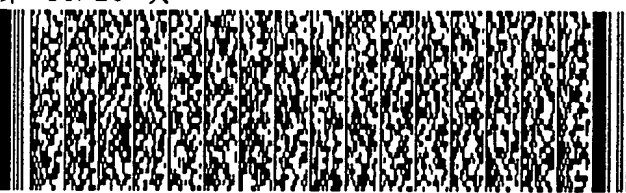
第 17/20 頁



第 18/20 頁



第 19/20 頁



第 20/20 頁

